

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-236758

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-347275

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 13.12.1995

(72)Inventor : BURR JAMES B
BRASSINGTON MICHAEL P

(30)Priority

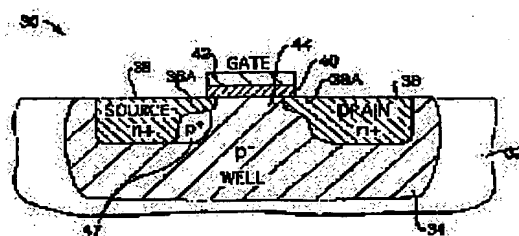
Priority number : 94 357436 Priority date : 16.12.1994 Priority country : US

(54) ASYMMETRIC MOS DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To adjust the absolute value of a threshold voltage, by providing an asymmetric area which is adjacent to one of a source region and a drain region, arranged closely to a channel region and provided with the dopant density of a first conductive type.

SOLUTION: A transistor 30 is provided with a lightly doped well region 34 spread from the surface of a semiconductor surface 32 to the bulk on the lower side. Within the well region 34, a heavily doped n-type source region 36 added with a tip region 36A is formed and a heavily doped drain region 38 added with a tip region 38A is formed corresponding to this. A channel region 44 is provided with a comparatively low dopant density and spread between the regions 36A and 38A. A gate oxide layer 40 is formed so as to cover the region 44. Then, an asymmetric halo region 47 is formed in the well 34 under the region 36A. In addition this device is constituted to make the ratio of an on-current and an off-current not larger than about 105.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平8-236758

(43)公開日 平成8年(1996)9月13日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号 庁内整理番号

F I
H O I L 29/78

技術表示箇所

301S

審査請求 未請求 請求項の数29 FD (全 17 頁)

(21) 出願番号	特願平7-347275
(22) 出願日	平成7年(1995)12月13日
(31) 優先権主張番号	08/357, 436
(32) 優先日	1994年12月16日
(33) 優先権主張国	米国(US)

(71)出願人 591064003
サン・マイクロシステムズ・インコーポレ
ーテッド
SUN MICROSYSTEMS, IN
CORPORATED
アメリカ合衆国 94043 カリフォルニア
州・マウンテンビュー・ガルシア アヴェ
ニュー・2550

(72)発明者 ジェームス・ビー・ブアー
アメリカ合衆国 カリフォルニア州94404
フォスター・シティ, リド・レイン,
938

(74)代理人 弁理士 五十嵐 孝雄 (外1名)

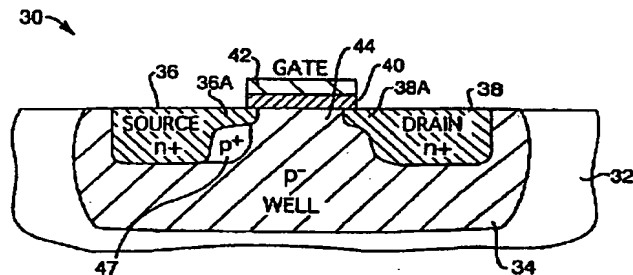
最終頁に続く

(54) 【発明の名称】 非対称MOSデバイスおよびその製造方法

(57) 【要約】

【課題】 耐パンチスルー性のある高性能なMOSトランジスタデバイスを提供する。

【解決手段】 本発明の低閾値電圧MOSデバイスは、非対称ハロー注入領域を含む。非対称ハロー注入は、デバイスのソースまたはドレインの下側に位置し、デバイスのチャンネル領域に隣接するソース（またはドレイン）の端部付近に位置するポケット領域を形成する。このポケット領域は、デバイスのバルク領域と同じ導電タイプ（ドーパント濃度はより高い）を有しており、デバイスのソース領域やドレイン領域とは反対の導電タイプを有している。ソースとドレインの一方のみが主要なポケット領域を有している。非対称ハローデバイスは、2つの擬似MOSデバイス（ソースFETとドレインFET）の直列接続と同様に動作する。ポケット注入領域がソースの下側に位置している時には、ソースFETはドレインFETよりも高い閾値電圧を有し、ずっと短い実効チャンネル長を有する。



【特許請求の範囲】

【請求項1】 半導体基板上の非対称MOSデバイスであって、
第1導電型の平均ドーパント濃度を有するバルク領域と、
前記バルク領域内に位置し、チャンネル領域によって互いに分離された第2導電型のドーパント濃度を有するソース領域およびドレイン領域と、
前記ソース領域とドレイン領域の一方に隣接し、前記チャンネル領域に近接する、前記第1導電型のドーパント濃度を有する非対称ハロー領域と、
前記チャンネル領域の上に配置されたゲートとを備え、
前記MOSデバイスのオン電流とオフ電流との比が約 10^5 以下であることを特徴とする非対称MOSデバイス。

【請求項2】 ゲート閾値電圧が約±150mV以下である、請求項1記載の非対称MOSデバイス。

【請求項3】 前記チャンネル領域におけるドーパント濃度が、約 1×10^{16} 原子/cm³以下である、請求項1記載の非対称MOSデバイス。

【請求項4】 前記チャンネル領域におけるドーパント濃度が、約 1×10^{14} ～約 1×10^{16} 原子/cm³の間である、請求項3記載の非対称MOSデバイス。

【請求項5】 調整可能なゲート閾値電圧を有する、請求項1記載の非対称MOSデバイス。

【請求項6】 前記ゲート閾値電圧はバックバイアスによって調整可能である、請求項5記載の非対称MOSデバイス。

【請求項7】 前記非対称MOSデバイスの閾値電圧を調整可能なフローティングゲートを更に備える、請求項5記載の非対称MOSデバイス。

【請求項8】 前記非対称ハロー領域におけるドーパント濃度が少なくとも約 1×10^{16} 原子/cm³である、請求項1記載の非対称MOSデバイス。

【請求項9】 前記非対称ハロー領域におけるドーパント濃度が約 1×10^{17} ～約 1×10^{18} 原子/cm³の間である、請求項8記載の非対称MOSデバイス。

【請求項10】 前記非対称ハロー領域は、前記ソース領域とドレイン領域の一方の少なくとも一部の下側に位置しているとともに、前記チャンネル領域の内部および下側には延びていない、請求項1記載の非対称MOSデバイス。

【請求項11】 前記非対称ハロー領域は、前記ソース領域とドレイン領域の一方の少なくとも一部の下側に位置しているとともに、前記ソース領域またはドレイン領域に隣接する前記チャンネル領域部分の下側に延びている、請求項1記載の非対称MOSデバイス。

【請求項12】 前記非対称ハロー領域は、前記ソース領域とドレイン領域の一方の少なくとも一部の下側に位置しているとともに、前記チャンネル領域の内部まで部

分的に延びている、請求項1記載の非対称MOSデバイス。

【請求項13】 前記チャンネル領域は約2μm以下の長さを有する、請求項1記載の非対称MOSデバイス。

【請求項14】 前記チャンネル領域の少なくとも一部が前記第2導電型の逆ドーパントを含む、請求項1記載の非対称MOSデバイス。

【請求項15】 前記逆ドーパントの濃度が約 10^{16} ～約 10^{18} cm⁻³の間にある、請求項14記載の非対称MOSデバイス。

【請求項16】 前記逆ドーパントは、逆ドーパント部／バルク接合に関連付けられた空乏領域が前記チャンネル領域を越えて前記ゲートにまで広がらないような濃度と分布とを有する、請求項15記載の非対称MOSデバイス。

【請求項17】 半導体基板上に非対称MOSデバイスを形成する方法であって、

第1導電型のバルク領域を形成する工程と、
前記第1導電型の正味ドーパント濃度が約 10^{16} 原子/cm³以下のチャンネル領域となる前記バルク領域部分の上にゲートを形成する工程と、

前記第1導電型のドーパント原子を注入することによって前記チャンネル領域の第1の側にポケット領域を形成する非対称ハロー注入を行なう工程と、

前記チャンネル領域によって互いに分離された第2導電型のソース領域およびドレイン領域を形成する工程と、
を備え、

前記第1導電型の前記ポケット領域が、前記ソース領域とドレイン領域の一方の少なくとも一部に隣接し、前記チャンネル領域に近接することを特徴とする非対称MOSデバイスの製造方法。

【請求項18】 前記非対称ハロー注入工程は、約50～約70keVの注入エネルギーと、約 5×10^{12} ～約 5×10^{13} cm⁻²の打込量とで実行される、請求項17記載の非対称MOSデバイスの製造方法。

【請求項19】 前記ソース／ドレイン領域形成工程は、約20～約60keVの注入エネルギーと、約 10^{13} ～約 10^{14} cm⁻²の打込量とで前記第2導電型の注入を実行する工程を含む、請求項17記載の非対称MOSデバイスの製造方法。

【請求項20】 請求項19記載の非対称MOSデバイスの製造方法であって、さらに、
前記ゲートの両側面にスペーサを形成する工程と、
約50～約100keVの注入エネルギーと約 1×10^{15} ～約 5×10^{15} cm⁻²の打込量とにおいて、前記スペーサの両側の前記ソース領域と前記ドレイン領域に前記第2導電型の第2の注入を行なう工程と、
を備える非対称MOSデバイスの製造方法。

【請求項21】 前記非対称ハロー注入工程は前記スペーサ形成工程の前に実行される、請求項20記載の非対

称MOSデバイスの製造方法。

【請求項22】 前記非対称ハロー注入工程は、約 1×10^{16} 原子/cm³以上の平均ドーパント濃度を有するポケット領域を形成する、請求項17記載の非対称MOSデバイスの製造方法。

【請求項23】 前記チャンネル領域は約 1×10^{16} 原子/cm³以下の合計ドーパント濃度を有する、請求項17記載の非対称MOSデバイスの製造方法。

【請求項24】 半導体基板上に非対称MOSデバイスを形成する方法であって、

第1導電型のバルク領域を形成する工程と、

チャンネル領域となる前記バルク領域部分の上にゲートを形成する工程と、

前記チャンネル領域によって互いに分離された第2導電型のソース先端領域およびドレイン先端領域を形成する工程と、

前記ゲートの両側面に第1のスペーサを形成する工程と、

前記第1導電型のドーパント原子を注入することによって前記チャンネル領域の第1の側にポケット領域を形成する非対称ハロー注入を行なう工程と、

前記第1のスペーサの両側面に第2のスペーサを形成する工程と、

前記第2のスペーサの両側に前記第2導電型の第2の注入を行なうことによって、ソースプラグ領域とドレインプラグ領域とを形成する工程と、を備える非対称MOSデバイスの製造方法。

【請求項25】 前記非対称ハロー注入工程は、約50～約70keVの注入エネルギーと、約 5×10^{12} ～約 5×10^{13} cm⁻²の打込量とで実行される、請求項24記載の非対称MOSデバイスの製造方法。

【請求項26】 前記非対称ハロー注入工程は、約 1×10^{16} 原子/cm³以上の平均ドーパント濃度を有するポケット領域を形成する、請求項24記載の非対称MOSデバイスの製造方法。

【請求項27】 前記チャンネル領域は約 1×10^{16} 原子/cm³以下の合計ドーパント濃度を有する、請求項24記載の非対称MOSデバイスの製造方法。

【請求項28】 前記ソース／ドレイン先端領域形成工程は、約20～約60keVの注入エネルギーと、約 10^{13} ～約 10^{14} cm⁻²の打込量とで前記第2導電型の注入を実行する工程を含む、請求項24記載の非対称MOSデバイスの製造方法。

【請求項29】 前記ソース／ドレインプラグ領域形成工程は、約50～約100keVの注入エネルギーと約 1×10^{15} ～約 5×10^{15} cm⁻²の打込量とで実行される、請求項24記載の非対称MOSデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、高性能トランジスタデバイスおよびその製造方法に関し、特に、トランジスタのソースまたはドレインの下に設けられた高ドーパント濃度のポケット領域を有する低閾値電圧・非対称MOSトランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 従来のMOSデバイスで構成された回路では、最大周波数 f_{\max} と電源電圧および閾値電圧との関係は、コンポーネントデバイスの長チャンネル効果と短チャンネル効果によって支配されていた。期待されるように、より長いチャンネルを有するデバイスに対しては長チャンネル効果が支配的であり、より短いチャンネルを有するデバイスに対しては短チャンネル効果が支配的である。ほとんどのデバイスはこれらの両方の特性を示し、 $1 \sim 2 \mu\text{m}$ の間のチャンネル長を有するデバイスは2つの特性をほぼ同程度に示す。真に長チャンネルのデバイスで構成されている回路の最大周波数は、次の数式1で与えられる。

【0003】

【数1】

$$f_{\max} \propto (V_{dd} - V_t)^2 / V_{dd}$$

【0004】 一方、真に短チャンネルのデバイスで構成されている回路の最大周波数は、次の数式2で与えられる。

【0005】

【数2】

$$f_{\max} \propto (V_{dd} - V_t) / V_{dd} = 1 - V_t / V_{dd}$$

【0006】 これらの数式から、真に長チャンネルのデバイスで構成された回路の性能（周波数）は、電源電圧 V_{dd} の絶対値に依存していることは明らかである。従って、そのような回路内のデバイスに対する電源電圧を低下させると、その性能もまた低下してしまう。しかし、真に短チャンネルのデバイスで構成された回路においては、性能は閾値電圧と電源電圧との比（ V_t / V_{dd} ）によって支配される。このことは、このような回路においては、その比（ V_t / V_{dd} ）が一定に保たれている限り、性能すなわち f_{\max} の低下なしに、デバイスへの電源電圧を低下させることができることを示している。多くのデバイスにおいて、この関係はほぼ成立しており、電源電圧とともに飽和電圧が増減するようなデバイスにおいては正確に当てはまる。

【0007】 上述の理由によって、低閾値電圧 V_t の短チャンネルデバイスは有望であるように思われるが、低閾値電圧を有する極短チャンネルデバイスには問題も観察されている。特に、ソース領域とドレイン領域との間の距離が過度に小さくなると、チャンネル領域内においてソースとドレインに隣接する空乏領域同士がオーバーラップして、ソースとドレインとの間のチャンネル領域に荷電キャリアの導電経路を形成する可能性がある。こ

れは、トランジスタがオフ状態であっても（すなわちゲート電圧が閾値電圧を超えていない場合にも）、空乏領域によって形成された導電経路を通して電流が流れてしまう、いわゆるパンチスルーとして知られる現象を引き起こす結果となる。

【0008】高閾値電圧のデバイスにおいては、「埋込電極」や「接地プレーン（グラウンドプレーン）」を採用することによってチャンネル領域における空乏領域の成長を抑制することができ、この結果、パンチスルーを防止できることが知られている。このようなデバイスは、R. H. ヤン等 (R.H.Yan et al.) による文献「高性能0.1 μ m室温Si MOSFET」("High Performance 0.1 μ m Room Temperature Si MOSFETs"), 1992年VLSIシンポジウム・テクニカルペーパー・ダイジェスト (1992 Symposium on VLSI Technology Digest of Technical Papers), 86~87頁に記載されている。要約すれば、埋込電極はチャンネル領域の下部に広がる比較的高ドーパント濃度の領域であり、ウェル領域と同じ導電タイプ（導電型）を有している。

【0009】

【発明が解決しようとする課題】埋込電極を有する低閾値電圧デバイスは一般に良好な性能と低消費電力を達成するが、パンチスルーの問題を回避する他のアプローチも試みられている。例えば、対称ハロー注入（「ハロー」は英語の"halo"の読みであり、聖人の「後光」「光背」「後背」、太陽のハロー等を意味する）によって製造されたデバイスなどがその一例である。ハロー注入は、チャンネル領域に隣接するソースとドレインの端部の下側の領域に、（チャンネル領域と同じ導電型の）高ドーパント濃度のポケットを形成する。埋込電極と異なり、ハローデバイスのポケット領域はチャンネル領域の全体の下側に亘って広がることはない。いくつかの対称ハローデバイスの性能は有望であるが、そのデバイス性能を更に向上させることができるであろうと信じられている。

【0010】

【課題を解決するための手段およびその作用・効果】本発明は、非対称ハロー注入を行なった低閾値電圧MOSデバイスを提供するものである。非対称ハロー注入は、デバイスのソース領域（またはドレイン領域）の下側に、そのソース領域（またはドレイン領域）の、チャンネル領域に隣接する端部の近くに位置する。ここで、「チャンネル領域」という用語は、ソースとドレインの間にある電氣的に活性（アクティブ）なすべての領域を意味しており、単にゲート電圧が閾値電圧 V_t を越えた時に形成される反転層のみを意味しているものではない。ポケット領域は、デバイスのバルク領域と同じ導電型（ドーパント濃度はより高いが）を有しており、もちろん、デバイスのソースおよびドレインとは反対の導電型である。典型的には、ポケット領域は、ソースまたは

ドレインのいずれか一方のみの下側に形成される（デバイスが「非対称」であるのはこの理由による）。非対称ハローデバイスは、2つの擬似MOSデバイス（ソースFETとドレインFET）の直列接続と同様に動作するものと信じられている。この非対称ハローデバイスは、これらの2つの擬似MOSデバイスの一方（ポケット領域を有するデバイスの側のFET）が、他方に比べてより高い閾値電圧を有し、より短い有効チャンネル長を有するように設計される。比較的低いゲート電圧（より短い方のチャンネル長の擬似デバイスの閾値電圧をちょうど超える程度）において、MOSデバイス全体の性能は、より高い閾値電圧を有するより短いチャンネル長の擬似デバイスの性能によって支配される。このような特性は、擬似デバイスの性能がその短チャンネル長に起因して特に優れていると期待されるので、非常に好ましい。従って、非対称ハローデバイスを比較的低いゲート電圧で動作させれば、非常に高速なスイッチングスピードを達成するであろう。

【0011】本発明の第1の態様は、半導体基板上の非対称MOSデバイスに関する。この非対称MOSデバイスは、（1）第1導電型の平均ドーパント濃度を有するバルク領域と、（2）前記バルク領域内に位置し、チャンネル領域によって互いに分離された第2導電型のドーパント濃度を有するソース領域およびドレイン領域と、（3）前記ソース領域とドレイン領域の一方に隣接し、前記チャンネル領域に近接する、前記第1導電型のドーパント濃度を有する非対称ハロー領域（ポケット領域）と、（4）前記チャンネル領域の上に配置されたゲートと、を備えていることを特徴としている。

【0012】ハロー領域は一般にソース領域とドレイン領域の一方にのみ隣接する（デバイスが「非対称」と呼ばれるのはこの理由による）が、デバイスによっては、他方のデバイス要素に隣接する第2のハロー領域を有するようにしてもよい。このような第2のハロー領域は、そのドーパント濃度および／またはそのサイズが第1の（主要な）ハロー領域と同じではない。

【0013】このデバイスは、さらに、「オン電流」と「オフ電流」との比（＝オン電流／オフ電流）が約 10^5 以下であるように構成される。オン電流とは、そのデバイスがオン状態の時に、すなわち、チャンネル領域に強い反転が起こっている時（ $V_{ds}=V_{dd}=V_{gs}$ ）に、ソースとドレインの間を流れる電流である。オフ電流とは、そのデバイスがオフ状態の時（ $V_{ds}=V_{dd}$; $V_{gs}=0$ ）に、ソースとドレインの間を流れる電流である。オフ電流は、「漏れ電流」と同意語である。一般に、オン電流とオフ電流との比がこのように低いデバイスは、閾値電圧が低い（例えば、約±150mVの範囲にある）。

【0014】0.35 μ m技術（すなわちゲートポリシリコン長が約0.35 μ mでありゲート酸化物の厚みが

約 65 オングストローム)においては、非対称ハロー領域は、約 1×10^{16} 原子/ cm^3 以上のドーパント濃度を有することが好ましく、約 1×10^{17} ～約 1×10^{18} 原子/ cm^3 の範囲にあることがより好ましい。好ましい実施例においては、非対称ハロー領域はソース領域またはドレイン領域の下側に位置しているとともに、チャンネル領域の内部および下側には延びて(広がって)いない。しかし、他の実施例においては、非対称ハロー領域は、ソース領域に隣接するチャンネル領域の内部または下側に部分的に延びていてもよい。低ゲート閾値電圧を保つためには、チャンネル領域のドーパント濃度は、約 1×10^{16} 原子/ cm^3 以下であることが好ましく、約 1×10^{14} ～約 1×10^{16} 原子/ cm^3 の間であることが更に好ましい。また、低い V_{ts} においては、例えばバックバイアシング能力(逆バイアス能力)を与えることによって、ゲート閾値電圧を調整可能なデバイスとすることが一般に好ましい。これによって、閾値電圧 V_t を約 100 ミリボルトのオーダーで変化させるような製造工程や環境(例えば温度)の不可避免な変動を補償するために、閾値電圧の絶対値を調整できるようにすることができる。さらにまた、ソース領域とドレイン領域におけるドーパント濃度を比較的高くして、デバイスにおける直列抵抗が低くなるようにすることが好ましい。デバイスが、ソース領域および/またはドレイン領域に先端領域を有している場合には、これらの先端領域は、例えば約 4×10^{19} ～約 8×10^{19} 原子/ cm^3 のドーパント濃度を有するようにすればよい。

【0015】実施例の1つにおいては、非対称MOSデバイスは、チャンネル領域の少なくとも一部に第2導電型の逆ドーパントを含んでいる。好ましくは、この逆ドーパントの濃度が約 10^{16} ～約 10^{18} cm^{-3} の間にあり、逆ドーパント部/バルク接合に関連付けられた空乏領域がチャンネル領域を越えて前記ゲートにまで広がらないように逆ドーパントを配置する。

【0016】本発明の他の態様は、半導体基板上に非対称MOSデバイスを形成する方法に関する。この方法は、(1)第1導電型のバルク領域を形成する工程と、

(2)チャンネル領域(チャンネル領域における前記第1導電型の正味ドーパント濃度は約 10^{16} 原子/ cm^3 以下として低閾値電圧のデバイスとする)を構成する前記バルク領域部分の上にゲートを形成する工程と、

(3)前記第1導電型のドーパント原子を注入することによって前記チャンネル領域の第1の側にポケット領域を形成する非対称ハロー注入(「非対称ハロー領域注入」、「非対称ハロー領域イオン注入」とも呼ぶ)を行なう工程と、(4)前記チャンネル領域によって互いに分離された第2導電型のソース領域およびドレイン領域を形成する工程と、を備える。

【0017】前記ポケット領域は、前記ソース領域とドレイン領域の一方の少なくとも一部に隣接し、前記チャ

ネル領域に近接するように形成される。いくつかの実施例においては、非対称ハロー注入は、ソースとドレインの形成工程の前に実行する必要はなく、ソースとドレインが少なくとも部分的に形成された後に実行するようにしてもよい。

【0018】好ましい実施例においては、非対称ハロー注入工程は、約 50 ～約 70 keV の注入エネルギーと、約 5×10^{12} ～約 $5 \times 10^{13} \text{ cm}^{-2}$ の打込量とで実行される。また、ソース/ドレイン領域形成工程は、次の3つのサブ工程で実行することが好ましい。(1)約 20 ～約 60 keV の注入エネルギーと、約 10^{13} ～約 10^{14} cm^{-2} の打込量とで、ゲートの両側において(ソースとドレインの先端領域を形成するために)、前記第2導電型の注入を実行する工程。(2)前記ゲートの両側面にスペーサを形成する工程。(3)約 50 ～約 100 keV の注入エネルギーと約 1×10^{15} ～約 $5 \times 10^{15} \text{ cm}^{-2}$ の打込量とにおいて、前記スペーサの両側の前記ソース領域と前記ドレイン領域に前記第2導電型の第2の注入を行なう工程。

【0019】本発明の上述した、あるいは他の利点は、添付の図面とともに以下に示す本発明の詳細な説明を読むことによって当業者に明らかになる。

【0020】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づき説明する。図1は、低閾値電圧と改善された性能を有する本発明の第1の実施例としての非対称MOSFET 30の側断面図である。図1に示すトランジスタ30は、NFET(n型のソース、ドレイン、およびゲートと、p型のウェルとを有する)である。図示されていないが、このトランジスタ30は、p型のソース、ドレイン、およびゲートと、n型のウェルを有するPFETトランジスタとして構成することも可能である。

【0021】以下の実施例では、種々のドーパント濃度(「添加不純物濃度」または単に「不純物濃度」とも呼ぶ)が特定されているが、これらの濃度は約 $0.35 \mu\text{m}$ のチャンネル領域長さ(有効チャンネル長さは約 $0.25 \mu\text{m}$ に相当する)を有し、ゲート酸化物の厚みが約 65 オングストロームのデバイスに最も適した値である。デバイスにおけるドーパント濃度は、一般に、デバイスサイズとは逆の方向に変化することを理解すべきであり、デバイスサイズが小さくなるとドーパント濃度は増大する。これは、(1)パンチスルーを防止するためには、ソース領域とドレイン領域に隣接する空乏領域のサイズがチャンネル領域幅の増減に伴って増減しなければならないこと、および、(2)空乏領域を縮小するためには、ドーパント濃度を増大させなければならないこと、という理由による。

【0022】本発明は、 $0.35 \mu\text{m}$ 技術に限定されないもので、以下に説明されている濃度は単に例示に過ぎない。より小さなデバイス(約 $0.35 \mu\text{m}$ 以下のデバイ

10

20

30

40

50

ス)においては、空乏領域サイズを減少させるためには、以下に説明する濃度を増加させる必要があるであろう。同様に、より大きなチャンネルのデバイスでは濃度は減少するであろう。

【0023】トランジスタ30は、半導体基板32の表面から下方のバルクに広がる低ドープウェル領域34を有している。バルク半導体は低濃度にドープされていてもよく、こうすれば独立したウェル領域の必要性はなくなる。ウェル領域(ソース、ドレイン、ポケット領域を除く)は、約 1×10^{14} ~約 5×10^{16} 原子/cm³の範囲の平均ドーパント濃度を有することが好ましい。図示されているように、ウェル領域34内には、先端領域36Aが付加された高ドープn型ソース領域36と、これに対応して、先端領域38Aが付加された高ドープドレイン領域38とが形成されている。ソース領域36とドレイン領域38のドーパント濃度は、約 1×10^{20} ~約 2×10^{20} 原子/cm³の間の値が好ましい。先端領域のドーパント濃度は、約 4×10^{19} ~約 8×10^{19} 原子/cm³の範囲の値である。場合によっては、ソースまたはドレインを先端領域を有さない形状に形成してもよく、その場合にはそのソースまたはドレインのプラグ部(先端でない部分)をチャンネル領域まで伸ばすようにする。このようなデバイスでは、そのソースまたはドレインの抵抗がより低くなる。

【0024】チャンネル領域44は、約 1×10^{16} 原子/cm³未満の(好ましくは約 1×10^{14} ~約 1×10^{16} 原子/cm³の範囲の、更に好ましくは約 1×10^{15} 原子/cm³の)比較的低いドーパント濃度を有しており、ソース先端領域36Aとドレイン先端領域38Aとの間に広がっている。このようにチャンネル領域のドーパント濃度を低くすることによって、デバイスの閾値電圧を0ボルトに近い値(正負どちらでもよい)に設定することができる。本発明による好ましい短チャンネルデバイスにおいては、ソース領域とドレイン領域は、それらの先端領域の内側境界同士が約2μm以上離れないように形成され、さらに好ましくは、その距離が約0.5μm以下の範囲になるように形成される。前述したように、ここで記載したドーパント濃度は、約0.35μmデバイスに最も適したものである。本発明のデバイスの非対称構造の多くの利点は、よりチャンネル長の長いデバイスにも同様に適用できることを記憶すべきである。

【0025】ゲート酸化層40は、p型ウェル34の表面上にチャンネル領域44の上を覆うように形成されている。好ましい実施例(0.35μmデバイス)においては、ゲート酸化層40は、約65オングストロームの厚さを有する。n型ゲート層42は、図示するように、酸化層40の上に形成される。本発明による低閾値電圧デバイスにおいては、一般に、ゲート層42は、NFETではn型であり、PFETではp型である。高閾値電圧のPFETでは、反対に、ゲート層は通常n型

に形成される。

【0026】図示しないが、ソース領域とドレイン領域とゲート領域にはそれぞれの接続配線(「接続部」あるいは「コンタクト」とも呼ぶ)がなされている。さらに、ウェル領域34にも独立した電氣的接続配線(図示せず)を設けて、ソース領域とウェル領域との間のポテンシャルを外部回路によって制御できるようにしてもよい。このような構成は、以下に説明するように、バックバイアシング(「バックバイアス」または「逆バイアス」とも呼ぶ)によって閾値電圧を制御する能力を与えるものである。このような能力を有するデバイスでは、ウェルは、ウェルのポテンシャルがほぼ一様になるように、その底面に沿って比較的低抵抗のパスを形成するように設計される。例えば、ウェルの底面に沿ってドーパント濃度が高く設定される。さらに、低ドープウェル領域とウェルの電氣的接続配線との間のオーミックコンタクトを良くするために、高ドープ領域(NFETではp型、PFETではn型)をウェル接続配線に隣接して設けることが必要な場合もある。このような種々のデバイス接続配線は、酸化層やガラスや他の絶縁層(「パッシベーション層」と呼ばれる)によって、互いに電氣的に分離されるとともに、ゲート42からも電氣的に分離される。

【0027】非対称ハロー(ポケット)領域47は、ソース先端領域36Aの下側のウェル34内に形成されている。但し、ポケット領域は、ソース領域とドレイン領域のいずれの下側に設けてもよい。しかし、以下の説明では、ソース領域の下側にポケット領域を有する非対称ハローデバイスについて説明する。図1に示す実施例では、ポケット領域47はチャンネル領域44の内部あるいは下側にまで広がって(延びて)いない。しかし、他の実施例では、こうでない場合もある。実際に、ポケット領域はソースまたはドレインの「下側」に存在する必要はない。ある実施例では、チャンネル領域に近い位置においてソースまたはドレイン領域の側面に隣接しているだけの場合もある。実際の位置や形状に拘らず、ポケット領域47はp⁺濃度(すなわち、周囲のウェル34のp⁻領域よりもいくらか高いドーパント濃度)を有している。ポケット領域47のドーパント濃度は、ウェルのドーパント濃度の10~1000倍高いことが好ましい。従って、ポケット領域47は、約 1×10^{16} 原子/cm³以上のドーパント濃度を有し、特に約 1×10^{17} ~約 1×10^{18} 原子/cm³の範囲にあることが好ましい。これらの範囲は、NFETとPFETの両方に当てはまる。本発明のすべての実施例において、ドレイン先端領域38Aの下には対応するポケット領域が設けられておらず、このことから「非対称」という用語が用いられている。もちろん、本発明は、ドレイン領域の周囲において局所的にドーパント濃度を増加させる可能性を否定するものではない。しかし、デバイスが非対称である

ことの利点を確保するためには、そのような局所的な変更部のサイズおよび／またはドーパント濃度を限定しておくべきである。

【0028】図1に示す実施例および他の実施例は、デバイスがバルクシリコン基板に形成される従来のMOS構造でなく、「SOI」（シリコンオンインシュレータ）構造を取ることも可能である。SOI構造は、バルクシリコンのベース層と、その上に形成されたバルク二酸化シリコン層とを含んでいる。さらに、その二酸化シリコン層の上に、薄いエピタキシャルシリコン層（通常は70～2000オングストロームの範囲）が設けられて、デバイス要素（ソース、ドレイン、チャンネル領域）が形成される。

【0029】理論によって制限されるものではないが、以下のような議論は、非対称ハローを有する低閾値電圧MOSデバイスにおいて一般に観察される特有の利点を説明するものと信じられている。第1に、ソースの下側に形成されたポケット領域はパンチスルー（これは、低いチャンネル領域ドーパント濃度を有する短チャンネルデバイスにおける重要な問題である）を防止する。この効果は、埋込電極によるものとはほぼ同様なメカニズムで達成される。ソース領域の先端の下側に、より高いドーパント濃度のポケット領域を形成することによって、ソースに隣接する空乏領域の成長が制限される。さらに、ポケット領域のためのイオン注入は、ドレインからチャンネル領域に延びる空乏領域の成長を妨げる。ポケット領域は、従って、ソースとドレインの空乏領域がチャンネル領域を横切って完全に広がってしまうのを防止する。

【0030】更に重要なことは、本発明の非対称ハローデバイスは、他の低閾値電圧デバイスに比べてはるかに改善された性能を示すということである。この理由は、適当なゲート電圧において、その挙動が、数百オングストローム～0.1マイクロメートルのオーダーの極めて短い実効チャンネル長を横切る荷電キャリアの移動によって支配されているからである。特に、ソースの下側のポケット領域は、ソース領域の端部とチャンネル領域の位置に、擬似デバイス（この場合には、より大きなMOSデバイスにおけるソースFET）を生成するようにデバイスが構成されている。この擬似デバイスは極めて短い実効チャンネル長を有している。以下に説明するように、このような極短チャンネルデバイスにおいては、「バリスティック（弾道）」電子移動（すなわち散乱（スキヤタリング）無しの移動）からの寄与が増加することに起因して、性能が非常に改善されるものと期待される。しかし、改善された性能を得るためには、非対称ハローMOSデバイス（ソースFETを含む）は、その性能がソースFETによって（すなわちその短チャンネル効果によって）支配されるべきであり、全体のMOS構造が性能を支配するときのように、より長いチャ

ネル効果によって支配されるべきではない。

【0031】次に、短チャンネルソースFETがどのようにして形成されると信じられているのかを説明する。ソース領域に隣接するポケット領域は、ソース領域付近のチャンネル領域の部分に垂直電界の局所的な変化を生じさせる。この垂直電界の局所的な変化は、閾値電圧の局所的な増加に相当する。従って、非対称ハローデバイスは、あたかも2つのデバイス（比較的高閾値電圧の極短チャンネルソースFETと、比較的低閾値電圧の長チャンネルドレインFET）が直列に接続されているかのような挙動を示す。このようなデバイスを、ソースFETの閾値電圧よりもわずかに高いゲート電圧で動作させると、このデバイスの性能は、短チャンネルソースFETの性能によって支配されるものと期待される。このような可能性は、埋込電極を有するデバイスや対称ハロー注入を行なったデバイスでは実現できないものである。

【0032】動作させる際にゲート電圧を上昇させていくと、ゲート電圧は、ソースFETの閾値電圧に達するまえにドレインFETの閾値電圧を超える。このようなゲート電圧範囲、すなわち、ドレインFETの閾値電圧とソースFETの閾値電圧の間では、ドレイン／チャンネル接合からチャンネル領域を横切ってソースFETの端部にまで延びる反転層が形成される。この時には電流は流れないので、チャンネル領域内の反転層は、ドレイン領域の延長として機能しており、ドレイン領域と同じポテンシャルに保たれている。要するに、この比較的大きな非対称ハローデバイスは、ドレインFETとソースFETの閾値電圧の間のゲート電圧の範囲において、極めて小さなソースFETデバイスに変換されていることになる。この時、ゲート電圧がソースFETの閾値電圧を超えると、電流が流れるのに伴ってソースFETチャンネルに急激なポテンシャル低下が起きる。性能の観点からは、この非対称ハロー注入デバイスは、極めて有望に見える。その理由は、短チャンネルソースFET擬似デバイスが、そのチャンネル領域を横切る電子の一部に対して、シリコン格子で散乱されない極めて高速なバリスティック移動（弾道移動）によって移動することを許容するからである。これは、ソースFET（およびデバイス全体）が適当な条件下で極めて高速にスイッチングすることを意味している。

【0033】これに対して、埋込電極デバイスは、高ドーパント濃度の領域（すなわち埋込電極）がチャンネル領域の全体に亘って広がっており、垂直電界に変化を与えていないので、その性能はやや低い。従って、埋込電極の閾値電圧への影響は、チャンネル長さに亘って一定である。もちろん、非対称ハローデバイスに埋込電極が使用される場合にも、短チャンネル擬似デバイスはやはり同様に形成される。さらに、対称ハローデバイスにおいても、短チャンネル擬似デバイスは形成されるかもしれない。しかし、このようなデバイスは、オン状態にス

イッチされると、ポテンシャル低下がチャンネル領域の全長に亘って広がる（これは、非対称ハローデバイスにおいてソースFETの長さに亘って起こることと対照的である）。従って、バリステック移動による寄与はほとんど期待できない。

【0034】以上の議論から、非対称ハローデバイスは、漏れ電流の制限およびアバランシェ降伏メカニズムとの調和をとりつつ、ソースFET擬似デバイスのチャンネル長ができる限り小さくするように設計されるべきであることが明きらかであろう。ソースFETのチャンネル長を決定する際に考慮すべき種々の因子には、次の4つが含まれる。

(1) ソース領域の先端におけるドーバント分布。

(2) チャンネル領域に隣接するポケット領域の側面におけるドーバント濃度勾配。

(3) ポケット領域に隣接するソース領域本体（ボディ）のドーバント濃度勾配。

(4) チャンネル領域内部またはその下部に延びるポケット領域の距離。

【0035】これらの変動因子を制御することによって、ソースFETのチャンネル長は、0.1マイクロメートル未満に、好ましくは200から500オングストロームの範囲にできると考えられる。一般に、ポケット領域とバルク領域（ウェル領域）との境界において極めて急峻なドーバント濃度勾配を与えることによって、良い結果が得られると期待される。ポケット領域とバルク領域との間の約3ナノメートルの範囲で、ドーバント濃度が3桁程度低下することが好ましい。このような急峻な勾配は、サイーハラズ等（Sai-Halasz et al.）による文献「0.1 μ mゲート長レベルNMOSデバイスにおける高相互コンダクタンスおよび速度オーバーシュート」

（"High Transconductance and Velocity Overshoot in NMOS Devices at the 0.1- μ m Gate-Length Level", IEEE Electron Device Letters, Vol. 9, No. 9, pp.463-465(1988)）に記載されている。同様に、ソース領域先端／チャンネル領域の境界におけるドーバント濃度勾配と、ソース領域本体／ポケット領域の境界におけるドーバント濃度勾配も同程度に急峻にすべきである。さらに、薄い先端領域（その直下にはポケット領域がある）は、一般にパンチスルー効果を低下させることによって性能を改善する。もちろん、先端領域が薄くなりすぎると、ソース領域の抵抗が過度に高くなる。

【0036】前述したように、一般に、チャンネル領域における閾値電圧（ソースFETのドレイン側における値）はできる限り低くするように設計することが好ましい。例えば、NFETにおいては、 10^{15} cm⁻³のチャンネル領域濃度は、適当な条件の下では-0.3Vの閾値電圧を与える。NFETにおいては、n型のドーバントによってチャンネル領域を逆ドーピングすることによって、さらに低い閾値電圧を得ることもできる。デバイ

スによっては、約 10^{16} ～約 10^{18} cm⁻³の範囲の逆ドーバント濃度によって、ドレインFETの閾値電圧が約-0.5ボルトとなる。一般に、逆ドーバントプロファイルは、逆ドーバント部／基板境界から生じる空乏領域が、ゲート下にあるそのn型層を通過するまで広がらないように構成される。さもなければ、ドレインFETが抵抗として機能し、そこにかかなりの電圧低下が生じるからである。従って、逆ドーバント領域は、完全な空乏状態となることを回避できる程度に十分な厚みと十分高い濃度を有するようにすべきである。空乏層が表面まで達しないように逆ドーバント領域が設計されていると仮定すれば、ドレインFETの表面に薄い導電層が形成され、ドレインポテンシャルは、ドレイン領域の主要部からソースFETのドレイン側までの間に亘って実効的に同一である。この結果、ソースFETを横切って極めて高い水平電界が発生する。

【0037】ソースFETにおけるパンチスルーを制御するためには、ドレインチャンネルは過度に深くすべきではない。さらに、その濃度は、ソースポケット領域における正味のドーバント濃度がソースFETに所望の閾値電圧（たとえば0ボルト近く）を与えるように、ソースポケット領域の濃度よりも低くすべきである。適切に設計された逆ドーバント領域は、ドレインFETの閾値を低減させる他に、ドレインFETを埋込チャンネルデバイスにし、これによって、移動度とサブスレッショルド勾配を改善し、垂直電界を低減し、ゲート容量を低減する。

【0038】一般に、本発明によるデバイスのような低閾値電圧デバイスは比較的大きな漏れ電流を有している。過去においては、設計者は比較的高い閾値電圧を有するデバイスを設計していた。従って、従来のデバイスは、オン電流とオフ電流の比（＝オン電流／オフ電流。これは漏れ電流の評価指標となる）が少なくとも約 10^6 になるように、また典型的には 10^7 ～ 10^8 の範囲になるように設計していた。このような高い比の値は、RAMセルのように、比較的非活動的な回路には適当であったかもしれない。しかし、典型的にはマイクロプロセッサに用いられるような、より活動的な回路においては、漏れ電流に関する懸念は少なく、この場合には閾値電圧をかなり低下させることができる。本発明は、主に、このような低閾値電圧デバイスに関するものである。従って、本発明のデバイスは、オン電流とオフ電流の比が約 10^5 以下であること、より典型的な場合には約 10^2 ～約 10^3 の範囲にあること、に特徴がある。高度に活動的なデバイスに対しては、オン電流とオフ電流の比は10程度にまで低くすることが好ましい場合がある。閾値電圧 V_t の絶対値に関しては、本発明のMOSデバイスは、約-150～約+150ミリボルトの範囲にあることが好ましい。しかし、この範囲は本発明を実現する上では重要なものではない。

【0039】図2は、 V_{ds} (ドレインソース電圧) 一定の条件下において動作する異なるデバイスに対する $\log I_{ds}$ (チャンネル電流の対数) と V_{gs} (ゲート電圧) との関係を示すグラフである。各曲線は、チャンネル領域のドーパント濃度が互いに異なるデバイスに関するものであり、より低いゲート電圧 (より負のゲート電圧) においてサブ・スレッショルド領域を有している曲線は、本発明による低チャンネル領域ドーパント濃度を有するデバイスに関するものである。本発明によるデバイスに関する曲線66において、閾値電圧 V_t は、サブ・スレッショルド領域64と遷移領域60との境界における値である。強い反転領域62は、遷移領域60を越えたところに存在し、 V_{gs} の増加とともに直線的に増加する電流特性によって特徴づけられる。他のデバイス変数が同一であるとすれば、曲線70と曲線68は、曲線66のデバイスに比べてより低いチャンネル領域ドーパント濃度を有するデバイスと、より高いチャンネル領域ドーパント濃度を有するデバイスとにそれぞれ関するものである。サブ・スレッショルドにおける V_g と I の勾配は、一般に次の数式3によって与えられる。

【0040】

【数3】

$$M_s = n V_T \ln(10)$$

【0041】ここで M_s はサブ・スレッショルド勾配、 n は理想状態では1、 V_T は kT/q で定義される熱起電力である。従って、電流の対数 $\ln I$ をゲート電圧 V_g に対してプロットしたグラフのサブスレッショルド勾配 ($=1/M_s$) は、温度の低下に伴ってより急峻になる。

【0042】デバイスのチャンネル領域を低ドーピングにすることによって、デバイスの閾値電圧は、本発明の好ましい領域であるほぼ0に近い値になる。製造工程の変動に起因して、チャンネル領域における正確なドーパント濃度はデバイス毎にわずかに変化しうる。これらの変動はわずかではあるが、デバイスの閾値電圧を数10から数100ミリボルト (本発明の好ましい動作の範囲外に至るまで) シフトさせ得るものである。さらに、動作温度の変動のような環境ファクタも閾値電圧をシフトさせる。従って、本発明のもののような低閾値電圧デバイスにおいて、閾値電圧を調整するメカニズムを備えておくことが好ましい。上述したように、これは、バックバイアシング (すなわちデバイスのウェルとソースとの間のポテンシャル (電位差) を制御すること) を用いることによって達成できる。ジェームズ・B・バー (James B. Burr) による文献「スタンフォード超低電力CMOS」(Stanford Ultra Low Power CMOS)、シンポジウムレコード、ホットチップスV、7.4.1~7.4.12頁、スタンフォード、カリフォルニア、1993年 (Symposium Record, Hot Chips V, pp.7.4.1-7.4.12, Stanford, CA 1993) を参照すること。

【0043】バックバイアシングは、トランジスタのソース領域とウェル領域との間のポテンシャル差 (電位差) を制御することによって達成される。典型的には、このポテンシャルは、ソース領域とウェル領域とに対する分離されたオーミックコンタクトを介して、これらの2つの領域のポテンシャルを独立して制御するために必要な回路を用いて制御される。ポテンシャル差が増大すると、閾値電圧の値は増加する。一般に、閾値電圧を比較的小さな値だけ調整するために、比較的大きなバックバイアス電圧が要求される。好ましい実施例においては、デバイスは、1ボルトのバックバイアスが、約100ミリボルトの閾値電圧のシフトを生ずるように設計される。

【0044】バックバイアスは、種々の自動化技術を使用して実現することができる。このような1つの方法では、フィードバックアンプを設けて、ウェル内のテストデバイスのドレイン電流が参照電流に一致するように、ウェルのバイアス電圧を調整する。調整回路は、オフ電流 (1ナノアンペア~1マイクロアンペアの範囲)、または、オン電流 (100マイクロアンペア/マイクロメータの範囲)、あるいは、オフ電流とオン電流の両者の関数の値に適合するように設計される。このような調整回路は、いくつかのテストデバイスから電流をサンプリングして、平均オン電流と平均オフ電流とを得ることができる。このようなウェル調整回路の消費電力は典型的には極めて小さく1マイクロワットのオーダーであり、その面積も小さく典型的には約100平方マイクロメートルであって、1つの集積回路チップ中に数百、数千個の回路を設けても面積や消費電力に大きな影響が無く、局所的な小さな範囲にあるトランジスタに対して緊密に制御された動作環境を与えることによって、それらの低電圧特性をかなり改善する。

【0045】図3は、本発明の他の実施例としてのフローティングゲートによって調整可能なMOSFETトランジスタ30'を示している。図1の実施例と同様に、図3のトランジスタ30'は、ウェル領域34'と、ソース領域36'と、ドレイン領域38'とを含んでいる。このトランジスタ30'は、さらに、ソース領域36'の先端の下側に比較的高ドーパント濃度を有する非対称ハロー領域 (ポケット領域) 47'を有している。MOSFET30'は、フローティングゲート構造52内に2つのゲート層を含んでいる。第1のゲート層54は酸化層40'の上に堆積されており、第2のゲート層56は第1のゲート層54の上方において絶縁層の上に堆積されている。当技術分野において知られているように、一定の電圧 (およびこれに関連する電荷) が第1のゲート54に印加されて、この結果、ゲート56の閾値電圧を制御する。従って、フローティングゲート構造52を使用することによって、トランジスタ30'の閾値電圧を、バックバイアスを用いる方法と同様に、電気

的に制御可能である。

【0046】図4ないし図7は、本発明によるMOSデバイス（この例では、NFEET）の主要な製造工程を示す図である。なお、この製造工程については本発明のスコップ内において種々の変形が可能であることを理解すべきである。さらに、この製造工程は、NFEETを生成する一連の工程として記載されているが、ドーパントの導電タイプを逆にすれば、PFETにも同様に適用することが可能である。さらに、以下で説明する条件は、
0.35 μ m近辺のサイズのデバイスに適したものであることを理解すべきである。当技術分野において知られているように、製造条件は、これ以外のサイズのデバイスに対しては幾分修正する必要があるであろう。

【0047】図4(A)において、シリコンや他の適切な半導体物質の基板111に、フォトレジストや他の適切なマスク物質で形成され、基板111の選択された部分(pウェル部分)を露出させたイオン注入マスク115が設けられている。

【0048】図4(B)においては、基板の上からp型イオン注入が行なわれ、基板111の非マスク部分(pウェル部)に注入される。このp型ドーパントは、極低ドーブウェル領域121を形成するのに十分な打込量とエネルギーとで供給される。引き続いて行なわれる拡散アニールは、ウェル領域121全体のp型ドーパント濃度が平滑化されて、比較的一様な極低pドーブレベルが全体的に得られるのに十分な温度と時間とで実行される。ウェル形成の条件は、p型ウェル領域が基板表面において(すなわちチャンネル領域において)、約 1×10^{14} ~約 1×10^{16} 原子/cm³の範囲のドーパント濃度を有するように選択されるべきである。多くのシステムにおいては、明確なp型ウェルが存在しないということに注意すべきである。むしろ、デバイスを作成するために用いられるシリコンウェハは、特定のドーパント濃度において成長する。エピタキシャルプロセスにおいては、所望のバルク濃度を有するシリコン層が高ドーブ基板の上に形成される。

【0049】図4(C)に示される構造を得るために、まず、マスク115を除去し、基板111を覆うパッド酸化物120(シリコン酸化物)を約700~約1000℃の範囲の温度で約30~約80ナノメートルの範囲の厚さになるように成長させる。次に、シリコン窒化物122の層を、典型的には低圧気相成長法(LPCVD)によって、パッド酸化物120の上に約0.1~約0.2 μ mの範囲の厚みに堆積させる。その後、レジストマスク124が、活性領域(すなわち活性トランジスタが形成されるべき領域)を保護するために設けられる。

【0050】図5(D)に示される構造は、次のように形成される。ドライエッチ(典型的には、反応イオンエッチング(RIE))が、露出した窒化物層と酸化物層とに行なわれて、それらの領域にベアシリコン表面を形

成する。次に、レジストマスクが除去されて、厚いフィールド酸化物129(二酸化シリコン)を約700~約1000℃の範囲の温度で約0.2~約0.5 μ mの範囲の厚さにまで成長させて図5(D)に示す構造を形成する。この後、この構造は、選択的にエッチング(典型的にはオルトリン酸によるウェットエッチング)がなされて窒化物層122が除去される。次に、計時ウェットエッチが行なわれてパッド酸化物120が除去され、活性デバイス領域にシリコン基板を露出させる。これによって、図5(E)に示す構造が得られる。フィールド酸化物129は、チップ上の様々なデバイスを電気的に分離するために使用される。他の実施例では、チップ上のデバイス同士を分離するために、フィールド酸化物の代わりにトレンチを使用することもできる。トレンチ分離領域を形成するプロセスは、この分野において周知である。

【0051】ベアシリコン基板が露出すると、薄いゲート酸化物123をそのシリコン表面の上に約800~約950℃の温度範囲で、約3~約15ナノメートルの範囲の厚さにまで成長させる。典型的には、このゲート酸化物は、二酸化シリコンの単一層であるが、シリコン窒化物を含む多層構造であってもよい。(技術的には、このような多層構造は、単に「ゲート酸化物」と呼ばれるよりも、むしろ「ゲート絶縁体」と呼ばれるべきであろう。)このゲート酸化物またはゲート絶縁体が形成されると、ポリシリコンのゲート層がその表面上に約100~約300ナノメートルの厚みで堆積される。この層の上に、トランジスタのゲート領域を保護するためにレジストマスクが形成される。そして、露出したポリシリコンが選択的にエッチングされて、レジストマスクが除去され、図5(F)に示す構造が得られる。

【0052】次に、図6(G)に示すように、活性領域の一方側の上にマスク126が形成される。その後、非対称ポケット領域116を形成するのに十分なエネルギーと打込量においてp型ドーパント注入が実行される。この非対称ハロー領域イオン注入(非対称ハロー注入)は、例えば、約50~約70keVのエネルギーで、約 5×10^{12} から 5×10^{13} cm⁻²の打込量でボロンを注入することによって実行される。ある実施例においては、NFEETに対してはインジウムが適切なドーパントになり、PFETに対してはアンチモンが適切なドーパントになる。これは、これらの原子は拡散係数が比較的小さく、従って、より急峻な濃度プロファイルを有するポケット領域を形成しやすいからである。

【0053】次に、図7(H)に示すように、マスク126が除去されて、約 10^{13} ~約 10^{14} cm⁻²のイオン打込量で約20~約60keVの範囲のイオン運動エネルギーにおいて、リン(P)、ヒソ(As)、アンチモン(Sb)、または、スズ(Sn)から選ばれたイオンによって、n型イオン注入が行なわれる。このイオン注入

は、基板全体に亘って実行され、装置のpウェル部分に浸透して、pウェル121内において、p型チャンネル領域133の左右の側面に配置された2つのn型ドーブ層131A、131Bをそれぞれ形成する。このイオン注入は、チャンネル領域の端部に伸びるソースとドレインの「先端」領域を形成するために行なわれる。図示されているように、非対称ハロー領域116は、ソース先端領域131Aの下側に留まっている。好ましい実施例においては、これらの先端領域と、隣接するチャンネル領域との間の接合は、急峻なドーバント濃度勾配を有している。従って、この後の工程は、これらの先端領域におけるドーバントの拡散を最小限にするような条件下で実施されるべきである。これには、可能な限りにおいてその後の加熱工程を比較的低温で比較的短時間で行なうか、または、急速サーマル・アニーリング(RTA)によって行なうことが要求される。

【0054】先端領域が形成された後に、図7(I)に示すソースとドレインの「プラグ」領域137A、137Bが、オプションとして次のように形成される。このようなプラグ領域を形成するために、まず、デバイスの上にブランケット酸化物絶縁層が堆積される。この層のほとんどは非等方的にエッチングされて除去され、図7(I)に示すように、ポリシリコンゲート125の左右の側面に配置された0.1~0.3 μ mの幅の側壁絶縁スペーサ135が残される。この後、n⁺イオン注入($1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のイオン打込量で50~100keVの範囲のイオン運動エネルギーにおいて、リン(P)、ヒソ(As)、アンチモン(Sb)、または、スズ(Sn)のイオンを用いて)が基板上に亘って行なわれ、その構造のpウェル部分に侵入する。この結果、n型に高濃度ドーブされたソース層137Aとドレイン層137Bとが形成される。図7(I)から解るように、ソースとドレインのプラグ領域が形成された後には、非対称ハロー領域116は、ソース先端領域131Aの下側であってチャンネル領域に隣接した位置に留まっている。ソース層137Aとドレイン層137Bが形成された後に、アニール工程が行なわれる。好ましい実施例においては、非対称ハロー注入と先端領域注入とプラグ領域注入とに対しては、このアニール工程のみが行なわれ、他のアニール工程は行なわれない。換言すれば、非対称ハロー注入の後や先端領域注入の後にはアニール工程は行なわれない。このようにアニール工程を制限することによって、ハロー領域と先端領域が、チャンネル領域の近傍において比較的急峻な濃度勾配を保つことになる。

【0055】ソース領域とドレイン領域とが形成されると、図7(J)に示すように、デバイスの上にわたって絶縁層141が形成される。そして、開口(開孔)143A、143B、143Cが選択的エッチングによって酸化物層141に形成され、例えばアルミ、タングステ

ン、チタン等の金属または他の導電性物質によって充填されて、ソース131Aとゲート125とドレイン131Bに対する電氣的接続が形成される。バックバイアシング能力を有するデバイスでは、ソースとウェルとの間のポテンシャルをコントロールするために、ウェルに第4の電氣的接続が要求される。低ドーブウェルにオーミック接続を行なうためには、ウェルの接続の領域に小さなp⁺注入を行なうことが必要なこともある。

【0056】図4(A)ないし図7(J)に記載された製造工程は、チャンネル領域に高ドーバント濃度を有し、従って高閾値電圧を有するデバイスを生成するタイプのチャンネル領域イオン注入を含んでいないことに注意すべきである。実際、チャンネル領域におけるドーバント濃度の合計は、約 1×10^{16} 原子/ cm^3 以下のレベルに保たれているのが好ましく、約 $1 \times 10^{14} \sim 1 \times 10^{16}$ 原子/ cm^3 の範囲にあることがさらに好ましい。もっとも好ましいチャンネル領域ドーバント濃度は、約 1×10^{15} 原子/ cm^3 であり、これは、従来の0.35 μ m高閾値電圧デバイスにおける濃度である $1 \times 10^{17} \sim 5 \times 10^{17}$ 原子/ cm^3 よりもかなり低い。もちろん、より高いドーバント濃度を有するデバイスにおいても、特定の導電タイプのドーバント原子の「正味」の濃度が低レベルに抑えられている限り、閾値電圧をゼロ近くに保つことは可能である。この条件は、例えば、反対の導電タイプのチャンネル領域イオン注入を2回以上実行して、イオン注入の効果を互いに相殺するようにすることによって達成することができる。もちろん、一般には、イオン注入をするたびに半導体格子に新たな散乱不純物が追加されるので、チャンネル領域における相殺するイオン注入を行うことなく、低閾値電圧デバイスを製造する方が好ましい。

【0057】標準的な高閾値電圧表面チャンネル(または埋込チャンネル)デバイスを製造するプロセスにおいては、ウェルのチャンネル領域と同じ導電型(または反対の導電型)のドーバントの表面注入が行なわれ、これによってデバイスの閾値電圧が標準値に調整される。この表面注入は、典型的には約0.7ボルトまたは-0.7ボルト(これはトランジスタの導電型による)の閾値電圧となるような条件下で実行される。(本発明と調和する)低閾値電圧を達成するために、表面注入を行なう工程は省略される。さらに、本発明により製作されたPFETに対しては、ゲートはp型にドーブすることが好ましい。

【0058】他の実施例においては、ソース領域とドレイン領域とを形成する際の「先端」イオン注入と「プラグ」イオン注入の順序を逆にしてもよい。このプロセスでは、側壁スペーサ135はあらゆるソース/ドレイン領域イオン注入の前に形成される。そして、ソース/ドレインプラグ領域イオン注入が、上述の条件下で実行される。この後、スペーサは除去されて、マスクがドレイ

ン領域を覆うように形成され、上述の条件下で非対称ハロー注入が行なわれる。次に、ドレイン領域からマスクが除去され、「先端」イオン注入が実行されて図7

(I)に示すプロファイル(形状)を有するソース領域とドレイン領域と非対称ハロー領域とが生成される。このような方法の利点は、先端領域がプロセスの後の方で生成されるので、先端領域/チャンネル領域接合における急峻なドーパント濃度勾配がより良く保たれることにある。しかしながら、工程が複雑になるのでこのプロセスは0.1 μm 以下の技術において最も利点が現われるかもしれない。

【0059】ソース/ドレイン領域とポケット領域とを形成する他のプロセスが図10(A)~図11(E)に示されている。この実施例では、図10(A)に示すように、フィールド酸化物領域303とゲート酸化物307(ゲートポリシリコン305の下)の間のバルク領域301の中にn型の先端領域311、309が形成される。これらの領域311、309は、図7(H)に示す領域131A、131Bを形成するのに使用された条件と類似の条件で形成できる。次に、図10(B)に示すように、第1のスペーサ315が、ゲート酸化物307とゲートポリシリコン305の両側面に沿って形成される。その後、マスク317がデバイスのドレイン側に亘って形成され、p型イオン注入が行なわれて非対称注入領域319(これがポケット領域に変換される)が形成され、図10(C)に示す構造が得られる。このp型イオン注入は、図6(G)の領域116を形成するために使用された条件と類似の条件で実行し得る。

【0060】ここで、マスク317が除去され、第2のスペーサ321がゲート領域の両側面において第1のスペーサ315の外側に形成されて、図11(D)に示す構造が得られる。次に、n型イオン注入が実行され、図11(E)に示すようにソースプラグ領域325とドレインプラグ領域323が形成されるとともに、p型ポケット領域319がチャンネル領域の周囲にのみ残される。このイオン注入は、図7(I)に示す領域137A、137Bを形成する際に使用された条件と類似の条件で実行される。

【0061】さらに他の実施例では、ソース領域とドレイン領域は、先端領域に加えて、シリコン基板表面上に立設された構造を含んでいる。このような構造は、典型的には比較的低抵抗のシリサイドであり、プラグ領域137A、137Bを含んでいない。従って、ソース領域とドレイン領域の全体の抵抗は、プラグ領域無しでも比較的低いレベルに維持される。

【0062】埋込電極を用いる実施例においては、エピタキシャル層を利用することができる。上述したように、埋込電極の目的の1つは、チャンネル領域を低ドーパント濃度とし、ポケット領域の上端部においてより高いドーパント濃度を達成することにある。理想的には、

これは、ステップ接合(段階接合)となる。しかしながら、イオン注入と熱アニールサイクル(製造工程の後におけるもの)での制約は、段階接合を不鮮明にしてしまう傾向にある。この問題は、移動度が比較的低いドーパント(すなわち拡散係数が比較的小さいもの)を選択することによって部分的に改善できる。他のアプローチとしては、高ドーパル基板の上に、低ドーパシリコン・エピタキシャル層を成長させる方法がある。このエピタキシャル空乏領域は、きわめて急峻な接合を有するので、イオン注入によって生成できるものに比べて理想的なステッププロファイルにずっと近いものとなる。

【0063】図8と図9は、ソース先端領域の下側にあるポケット領域が異なる形状を有する他の実施例を示している。図8において、非対称CMOSデバイス130は、チャンネル領域144の下側にまでわずかに広がっている(延びている)ポケット領域147を含んでいる(図1のポケット領域47と比較せよ)。これ以外の点では、この実施例は図1に示された実施例と極めて類似している。すなわち、このデバイスは、ソース136と、ドレイン138と、ゲート142と、ゲート絶縁体140とを含んでいる。このデバイス130も非対称ハローデバイスなので、ドレイン138の下側にはポケット領域は存在しない。このポケット領域147は、例えば、水平方向(図8の左から右に向かう方向)の成分を有する角度で行なわれるイオン注入によって形成される。一般に、このような角度を有するイオン注入は、比較的容易に実行できる。

【0064】図9においては、非対称MOSデバイス230は、ソース領域236の端部を越えているのみでなく、実際にチャンネル領域244の内部にまで延びているポケット領域247を含んでいる。ソースまたはドレインに先端領域が無いようなデバイスでは、ポケット領域は、ソースまたはドレイン領域の下側に延びておらず、単にソースまたはドレイン領域のチャンネル側に隣接しているだけであろう。一例として、チャンネル領域244は、デバイスの閾値電圧 V_t を低下させ、真の短チャンネルNFETを形成するために、n型ドーパントで逆ドーパされる(例えば $1 \times 10^{17} \text{ cm}^{-3}$)。重要なことは、垂直電界の局所的な変化を保ち、ポケット領域の効果をソース付近の比較的小さな領域に限定するために、ポケット領域247がチャンネル領域244を横切る方向に沿って過度に延びないようにすることである。このような構造は、ソースの端部における水平方向電界を増加させ、その結果、ソースFETの実効チャンネル長がより短くなると期待される。従って、このようなデバイスでは、バリスティック電子の寄与がより重要になると期待される。マイナス面では、ソースに隣接するドーパント濃度が高くなることは、非バリスティック電子の移動度を減少させるであろう。

【0065】さらに他の実施例では、非対称ハローデバ

10

20

30

40

50

イスのポケット領域は、ソース領域の下側のチャンネル端部から、ソース領域のもう一方の端部付近にまで延びるようにすることもできる。さらに他の実施例では、上述の種々のポケット領域に加えてチャンネル領域全体の下側に広がる埋込電極を有するようにすることもできる。これは、デバイスの閾値電圧の調整能力を高めるであろう。

【0066】CMOSデバイスは、異なる温度では動作が異なることが知られている。デバイスが冷却されると、チャンネル領域における荷電キャリアの移動度が増大する。また、閾値電圧も増加する。もっとも重要なことは、閾値電圧が一定の場合には、荷電キャリアの移動度の増加とデバイスの臨界電圧の低下とに起因して、そのトランジスタの性能が向上することである。これは、長チャンネルデバイスにも短チャンネルデバイスにも一般的に当てはまる。従って、より低い温度では、従来のほとんどのデバイスは性能が向上することが期待される。

【0067】しかしながら、この発明の非対称ハローデバイスでは、さらに大幅な性能の改善が期待できる。この理由は、ソースFET擬似デバイスの極短実効チャンネル長において温度が低下するのに伴って、デバイス電流へのバリスティック電子の寄与が急速に増大するからである。温度が低下すると、電子移動に対するフォノンの影響が低下し、シリコン中における電子の平均自由行程がソースFETのチャンネル長に近い値まで増加する。もちろん、移動する電子のいくらかは平均自由行程よりも長い距離をジャンプし、あるものはチャンネル長を越えてジャンプする。このような電子は、ソースからドレインにバリスティックに（弾道的に）移動する。液体窒素温度付近の温度では、ソースFETチャンネルを横切る電子のかなりの割合がバリスティックに移動する（ソースFETの実効チャンネル長が十分短いと仮定している）。

【0068】より低温における性能改善を利用するために、デバイスのドーピングレベルを修正するようにしてもよい。例えば、液体窒素温度（77 K）において0ミリオルトの閾値電圧を有するデバイスに対して、ドーピングレベルは、300 Kにおける閾値電圧が約-200 mVになるように設定すべきである。この理由は、デバイスの電流対ゲート電圧の曲線が温度に伴ってシフトするからである。もちろん、全温度範囲において動作するような十分な調整能力を有するデバイスを供給することも可能である。しかし、このような特別な調整能力は、デバイスによっては性能上の妥協をもたらすことがある。この場合には、デバイスは比較的狭い特定の温度範囲において最適化することが必要であろう。

【0069】本発明による低温CMOSトランジスタを実現するためには、冷却環境を設けなければならない。冷却システムとしては、0℃、-55℃、-150℃

と、より低温で動作するものの方が性能を改善するが、コストも上昇する。上記の各温度においては、小さな冷凍機によって十分な冷却を行なえる。-150℃以下では、冷凍のためのコストは極めて高くなり、キャリアの冷凍効果は、制御が困難な不安定性を生ずるかもしれない。

【0070】多くの短チャンネルMOSFETデバイスにおいては、比較的高いV_{dd}（電源電圧）に関連付けられる大きな水平方向電界は、電子がバルク領域またはドレイン領域の上にある酸化物質層に侵入するホットエレクトロン劣化（ホットエレクトロン・デグレデーション）を引き起こすかもしれない。この問題は、典型的には、ソース領域36とドレイン領域38の先端領域36A、38Aが比較的低ドーパント濃度である低ドープドレイン（LDD）イオン注入を使用することによって解決される。本発明においては、しかし、約1.5ボルト以下の電源電圧においてはホットエレクトロンの問題は無視できる程度になるので、LDDは必ずしも必要ではない。

【0071】本発明の特定の実施例が上述されているが、本発明は、その精神とスコープから逸脱することなく種々の形態を取り得ることが理解されるべきである。特に、上述のNFETの代わりにPFETを構成することもでき、また、非対称ハロー構造は長チャンネルデバイスにおいても有用性が見いだされるかもしれない。従って、以上の実施例は、単に図示のための例に過ぎず、本発明は上述の詳細な説明に限定されることなく、種々の変形が可能である。

【図面の簡単な説明】

【図1】本発明の実施例としてのポケット領域を有する非対称MOSトランジスタの側断面図。

【図2】異なるチャンネル領域ドーパント濃度を有するトランジスタに対するデバイス電流（I_{ds}）とゲート電圧（V_{gs}）の典型的な曲線群を示すグラフ。

【図3】本発明の他の実施例としてのフローティングゲート構造を有する非対称MOSトランジスタの側断面図。

【図4】本発明の実施例のトランジスタの主要製造工程における側断面図。

【図5】本発明の実施例のトランジスタの主要製造工程における側断面図。

【図6】本発明の実施例のトランジスタの主要製造工程における側断面図。

【図7】本発明の実施例のトランジスタの主要製造工程における側断面図。

【図8】本発明の他の実施例としての、チャンネル領域の下側に延びるポケット領域を有する非対称MOSトランジスタの側断面図。

【図9】本発明のさらに他の実施例としての、チャンネル領域の内部に延びるポケット領域を有する非対称MO

25

Sトランジスタの側断面図。

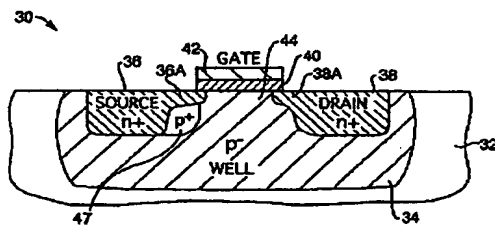
【図10】本発明の実施例のトランジスタの主要製造工程における側断面図。

【図11】本発明の実施例のトランジスタの主要製造工程における側断面図。

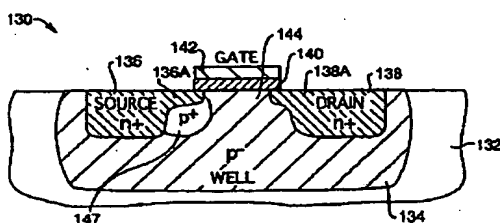
【符号の説明】

30…MOSFET
32…半導体基板
34…p型ウェル
36…ソース領域
36A…ソース先端領域
38…ドレイン領域
38A…ドレイン先端領域
40…ゲート酸化物層
42…ゲート層
44…チャンネル領域
47…ポケット領域
52…フローティングゲート構造
54…第1のゲート層
56…第2のゲート層
60…遷移領域
62…反転領域
64…スレッショルド領域
115…イオン注入マスク
116…非対称ハロー領域（非対称ポケット領域）
120…パッド酸化物
121…ウェル領域
122…窒化物層
123…ゲート酸化物
124…レジストマスク
125…ポリシリコンゲート

【図1】



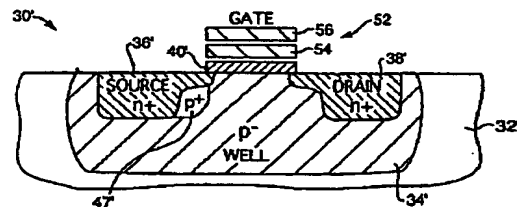
【図8】



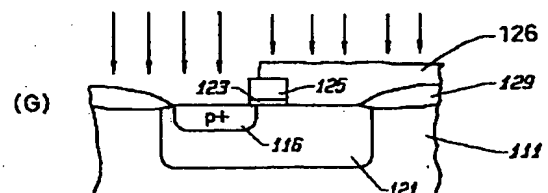
26

126…マスク
129…フィールド酸化物
130…非対称CMOSデバイス
131A…ソース先端領域
131B…ドレイン先端領域
133…p型チャンネル領域
134…ウェル
135…側壁絶縁スペーサ
136…ソース
10 137A, 137B…プラグ領域
138…ドレイン
140…ゲート絶縁体
141…酸化物層（絶縁層）
142…ゲート
144…チャンネル領域
147…ポケット領域
230…非対称MOSデバイス
236…ソース領域
244…チャンネル領域
20 247…ポケット領域
301…バルク領域
303…フィールド酸化物領域
305…ゲートポリシリコン
307…ゲート酸化物
311, 309…先端領域
315…第1のスペーサ
317…マスク
319…p型ポケット領域（非対称注入領域）
321…第2のスペーサ
30 323…ドレインプラグ領域
325…ソースプラグ領域

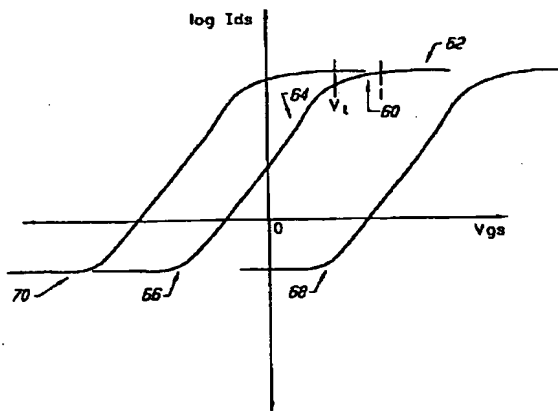
【図3】



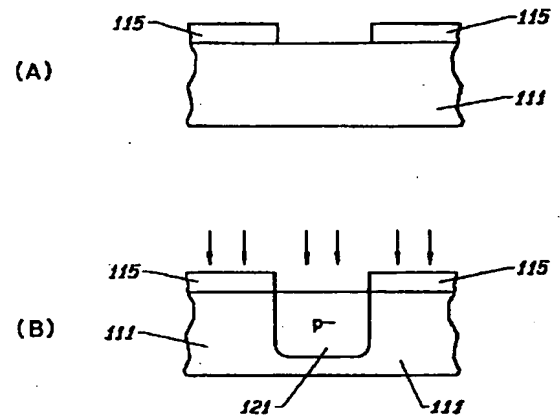
【図6】



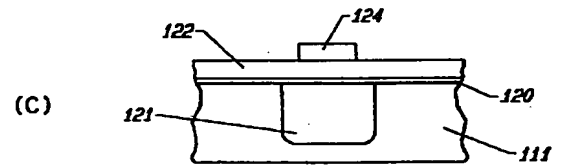
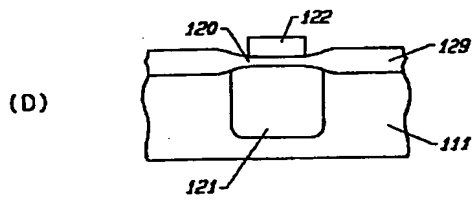
【図2】



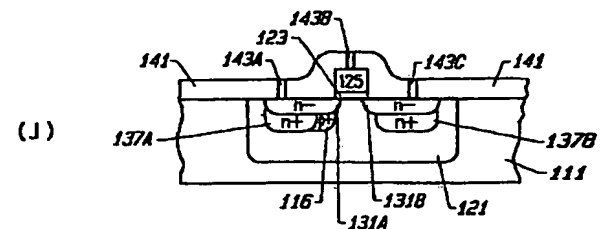
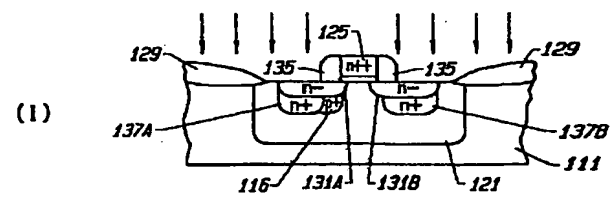
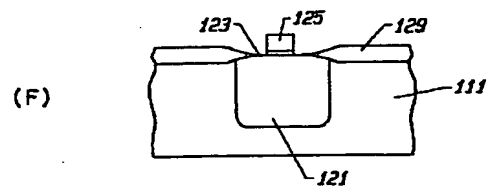
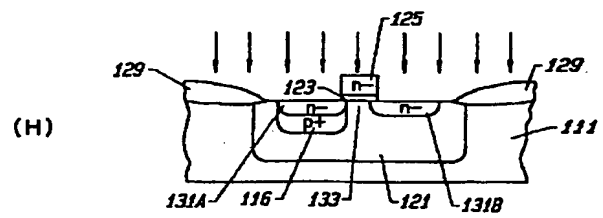
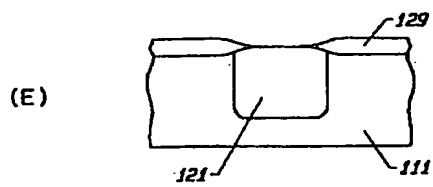
【図4】



【図5】



【図7】



フロントページの続き

(72)発明者 マイケル・ピー．・ブラッシントン
アメリカ合衆国 カリフォルニア州94087
サニーヴェイル, ライト・アヴェニュー,
1726